

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-336464

(43) 公開日 平成4年(1992)11月24日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
21/302	E	7353-4M		
	N	7353-4M		
27/04	C	8427-4M		
		8728-4M		
			H 0 1 L 27/10	3 2 5 C
			審査請求 未請求 請求項の数 8 (全 13 頁)	

(21) 出願番号 特願平3-107622

(22) 出願日 平成3年(1991)5月13日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 小川 久

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 松尾 直人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 岡田 昌三

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

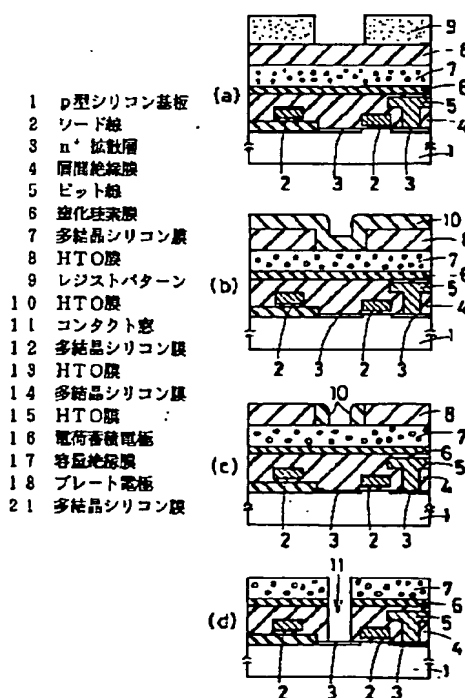
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【要約】

【目的】 容量絶縁膜のリーク電流を減少させ、多結晶シリコン膜のエッチングの終点の制御を容易にして、きわめて安定に半導体記憶装置を得る。

【構成】 半導体基板1上の層間絶縁膜4、窒化珪素膜6および多結晶シリコン膜7にコンタクト窓11を開口した後、多結晶シリコン膜12および酸化珪素膜13を順に被着し、この後酸化珪素膜13をコンタクト窓11の直上部およびその周辺部を残した状態にパターニングする。多結晶シリコン膜12および残った酸化珪素膜13の上に多結晶シリコン膜14および酸化珪素膜15を被着し、酸化珪素膜15を全面エッチバックして酸化珪素膜13の外周部にのみ酸化珪素膜15を残した後、酸化珪素膜13、15をマスクとして多結晶シリコン膜14、12、7を、酸化珪素膜13、15の間に存在した多結晶シリコン膜14下の多結晶シリコン膜7の一部を残存させて窒化珪素膜6が露出するまでエッチングを行う。



【特許請求の範囲】

【請求項1】 半導体基板(1)上に層間絶縁膜(4)、窒化珪素膜(6)および電荷蓄積電極(16)用の第1の多結晶シリコン膜(7)を順に被着する工程と、前記層間絶縁膜(4)、窒化珪素膜(6)および第1の多結晶シリコン膜(7)に前記半導体基板(1)へ至るコンタクト窓(11)を開口する工程と、前記第1の多結晶シリコン膜(7)上および前記コンタクト窓(11)内に電荷蓄積電極(16)用の第2の多結晶シリコン膜(12)および第1の酸化珪素膜(13)を順に被着した後、前記第1の酸化珪素膜(13)を前記コンタクト窓(11)の直上部およびその周辺部を残した状態にパターニングする工程と、前記第2の多結晶シリコン膜(12)および残った第1の酸化珪素膜(13)の上に電荷蓄積電極(16)用の第3の多結晶シリコン膜(14)および第2の酸化珪素膜(15)を被着する工程と、前記第2の酸化珪素膜(15)を全面エッチバックして前記第1の酸化珪素膜(13)の外周部にのみ前記第2の酸化珪素膜(15)を残した後、前記第1および第2の酸化珪素膜(13, 15)をマスクとして前記第3、第2および第1の多結晶シリコン膜(14, 12, 7)を、前記第1および第2の酸化珪素膜(13, 15)の間に存在した前記第3の多結晶シリコン膜(14)下の前記第1の多結晶シリコン膜(7)の一部を残存させて窒化珪素膜(6)が露出するまでエッチングを行う工程と、その後前記第1および第2の酸化珪素膜(13, 15)を選択的に除去する工程と、その後前記第1、第2および第3の多結晶シリコン膜(7, 12, 14)上に容量絶縁膜(17)を形成する工程と、前記容量絶縁膜(17)上にプレート電極(18)用の第4の多結晶シリコン膜を形成する工程とを含む半導体記憶装置の製造方法。

【請求項2】 第2の多結晶シリコン膜(12)はコンタクト窓(11)の半径よりも薄く形成する請求項1記載の半導体記憶装置の製造方法。

【請求項3】 半導体基板(1)上に層間絶縁膜(4)、窒化珪素膜(6)、電荷蓄積電極(16)用の第1の多結晶シリコン膜(7)および第1の酸化珪素膜(8)を被着する工程と、前記第1の酸化珪素膜(8)上にマスクパターン(9)を形成し、コンタクト窓(11)形成領域およびその周辺領域の前記第1の酸化珪素膜(8)をエッチングして除去する工程と、前記マスクパターン(9)を除去した後残った前記第1の酸化珪素膜(8)上および第1の多結晶シリコン膜(7)上に第2の多結晶シリコン膜(21)を被着し、この後全面をエッチバックして前記第1の酸化珪素膜(8)の側壁に被着した前記第2の多結晶シリコン膜(21)の下の前記第1の多結晶シリコン膜(7)の全部が残存しかつ前記窒化珪素膜(6)が露出するまでエッチングする工程と、前記残存する前記第1の多結晶シリコン膜(7)を

マスクにして前記第1の酸化珪素膜(8)、前記窒化珪素膜(6)および前記層間絶縁膜(4)をエッチングして前記半導体基板(1)へ至るコンタクト窓(11)を開口する工程と、前記残存する前記第1の多結晶シリコン膜(7)上および前記コンタクト窓(11)内に電荷蓄積電極(16)用の第3の多結晶シリコン膜(12)および第2の酸化珪素膜(13)を順に被着した後、前記第2の酸化珪素膜(13)を前記コンタクト窓(11)の直上部およびその周辺部を残した状態にパターニングする工程と、前記第3の多結晶シリコン膜(12)および残った第2の酸化珪素膜(13)の上に電荷蓄積電極(16)用の第4の多結晶シリコン膜(14)および第3の酸化珪素膜(15)を被着する工程と、前記第3の酸化珪素膜(15)を全面エッチバックして前記第2の酸化珪素膜(13)の外周部にのみ前記第3の酸化珪素膜(15)を残した後、前記第2および第3の酸化珪素膜(13, 15)をマスクとして前記第4、第3および第1の多結晶シリコン膜(14, 12, 7)を、前記第2および第3の酸化珪素膜(13, 15)の間に存在した前記第4の多結晶シリコン膜(14)下の前記第1の多結晶シリコン膜(7)の一部を残存させて窒化珪素膜(6)が露出するまでエッチングを行う工程と、その後前記第2および第3の酸化珪素膜(13, 15)を選択的に除去する工程と、その後前記第1、第3および第4の多結晶シリコン膜(7, 12, 14)上に容量絶縁膜(17)を形成する工程と、前記容量絶縁膜(17)上にプレート電極(18)用の第5の多結晶シリコン膜を形成する工程とを含む半導体記憶装置の製造方法。

【請求項4】 第3の多結晶シリコン膜(12)はコンタクト窓(11)の半径よりも薄く形成する請求項3記載の半導体記憶装置の製造方法。

【請求項5】 半導体基板(1)上に層間絶縁膜(4)、窒化珪素膜(6)、電荷蓄積電極(16)用の第1の多結晶シリコン膜(7)および第1の酸化珪素膜(8)を被着する工程と、前記第1の酸化珪素膜(8)上にマスクパターン(9)を形成し、コンタクト窓(11)形成領域およびその周辺領域の前記第1の酸化珪素膜(8)をエッチングして除去する工程と、前記マスクパターン(9)を除去した後残った前記第1の酸化珪素膜(8)上および第1の多結晶シリコン膜(7)上に第2の多結晶シリコン膜(21)を被着し、この後全面をエッチバックして前記第1の酸化珪素膜(8)の側壁に被着した前記第2の多結晶シリコン膜(21)の下の前記第1の多結晶シリコン膜(7)の一部が残存しかつ前記窒化珪素膜(6)が露出するまでエッチングする工程と、前記残存する前記第1の多結晶シリコン膜(7)をマスクにして前記第1の酸化珪素膜(8)、前記窒化珪素膜(6)および前記層間絶縁膜(4)をエッチングして前記半導体基板(1)へ至るコンタクト窓(11)を

3

開口する工程と、前記残存する前記第1の多結晶シリコン膜(7)上および前記コンタクト窓(11)内に電荷蓄積電極(16)用の第3の多結晶シリコン膜(12)および第2の酸化珪素膜(13)を順に被着した後、前記第2の酸化珪素膜(13)を前記コンタクト窓(11)の直上部およびその周辺部を残した状態にパターニングする工程と、前記第3の多結晶シリコン膜(12)および残った第2の酸化珪素膜(13)の上に電荷蓄積電極(16)用の第4の多結晶シリコン膜(14)および第3の酸化珪素膜(15)を被着する工程と、前記第3の酸化珪素膜(15)を全面エッチバックして前記第2の酸化珪素膜(13)の外周部にのみ前記第3の酸化珪素膜(15)を残した後、前記第2および第3の酸化珪素膜(13, 15)をマスクとして前記第4, 第3および第1の多結晶シリコン膜(14, 12, 7)を、前記第2および第3の酸化珪素膜(13, 15)の間に存在した前記第4の多結晶シリコン膜(14)下の前記第1の多結晶シリコン膜(7)の一部を残存させて窒化珪素膜(6)が露出するまでエッチングを行う工程と、その後前記第2および第3の酸化珪素膜(13, 15)を選択的に除去する工程と、その後前記第1, 第3および第4の多結晶シリコン膜(7, 12, 14)上に容量絶縁膜(17)を形成する工程と、前記容量絶縁膜(17)上にプレート電極(18)用の第5の多結晶シリコン膜を形成する工程とを含む半導体記憶装置の製造方法。

【請求項6】 第3の多結晶シリコン膜(12)はコンタクト窓(11)の半径よりも薄く形成する請求項5記載の半導体記憶装置の製造方法。

【請求項7】 半導体基板(1)上に層間絶縁膜(4)、窒化珪素膜(6)、電荷蓄積電極(16)用の第1の多結晶シリコン膜(7)および前記第1の多結晶シリコン膜(7)より厚い第1の酸化珪素膜(8)を被着する工程と、前記第1の酸化珪素膜(8)上にマスクパターン(9)を形成し、コンタクト窓(11)形成領域およびその周辺領域の前記第1の酸化珪素膜(8)をエッチングして除去する工程と、前記マスクパターン(9)を除去した後残った前記第1の酸化珪素膜(8)上および第1の多結晶シリコン膜(7)上に第2の多結晶シリコン膜(21)を被着し、この後全面をエッチバックして前記第1の酸化珪素膜(8)の側壁に被着した前記第2の多結晶シリコン膜(21)の一部が残存しかつ前記窒化珪素膜(6)が露出するまでエッチングする工程と、前記残存する前記第1および第2の多結晶シリコン膜(7, 21)をマスクにして前記第1の酸化珪素膜(8)、前記窒化珪素膜(6)および前記層間絶縁膜(4)をエッチングして前記半導体基板(1)へ至るコンタクト窓(11)を開口する工程と、前記残存する前記第1および第2の多結晶シリコン膜(7, 21)上および前記コンタクト窓(11)内に電荷蓄積電極(1

4

6)用の第3の多結晶シリコン膜(12)および第2の酸化珪素膜(13)を順に被着した後、前記第2の酸化珪素膜(13)を前記コンタクト窓(11)の直上部およびその周辺部を残した状態にパターニングする工程と、前記第3の多結晶シリコン膜(12)および残った第2の酸化珪素膜(13)の上に電荷蓄積電極(16)用の第4の多結晶シリコン膜(14)および第3の酸化珪素膜(15)を被着する工程と、前記第3の酸化珪素膜(15)を全面エッチバックして前記第2の酸化珪素膜(13)の外周部にのみ前記第3の酸化珪素膜(15)を残した後、前記第2および第3の酸化珪素膜(13, 15)をマスクとして前記第4, 第3および第1の多結晶シリコン膜(14, 12, 7)を、前記第2および第3の酸化珪素膜(13, 15)の間に存在した前記第4の多結晶シリコン膜(14)下の前記第1の多結晶シリコン膜(7)の一部を残存させて窒化珪素膜(6)が露出するまでエッチングを行う工程と、その後前記第2および第3の酸化珪素膜(13, 15)を選択的に除去する工程と、その後前記第1, 第2, 第3および第4の多結晶シリコン膜(7, 21, 12, 14)上に容量絶縁膜(17)を形成する工程と、前記容量絶縁膜(17)上にプレート電極(18)用の第5の多結晶シリコン膜を形成する工程とを含む半導体記憶装置の製造方法。

【請求項8】 第3の多結晶シリコン膜(12)はコンタクト窓(11)の半径よりも薄く形成する請求項7記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体記憶装置の製造方法に関するものである。

【0002】

【従来の技術】 近年、ダイナミック・ランダム・アクセス・メモリ(DRAM)に代表される半導体記憶装置においては、導電性膜となる多結晶シリコン膜を電荷蓄積電極に用いるスタック型のメモリセル構造が採用されているが、素子の高集積化が進むにつれて十分な蓄積容量を得るために電荷蓄積電極の表面積を増大させる様々な工夫がなされている。その一つの方法として、電荷蓄積電極を三次元構造として表面積を増大させる方法が多数提案されている。その一例に、従来の電荷蓄積電極の外周にリング状の電荷蓄積電極を付加したものがある(N. Shimura, et al. Ext. Abs. 22nd SSDM, p. 833)。

【0003】 以下図面を参照しながら、上記した従来の半導体記憶装置における電荷蓄積電極部分の製造方法の一例について説明する。図8は従来の半導体記憶装置、特に電荷蓄積電極部分の製造方法の工程断面図を示すものである。図8において、51はシリコン基板、52はSiO₂膜、53はSiN膜、54は電荷蓄積電極用の

5

多結晶シリコン膜、55は SiO_2 膜、56はCVD・ SiO_2 膜、57は電荷蓄積電極用の多結晶シリコン膜である。58は電荷蓄積電極で、59は多結晶ポリシリコン膜からなるプレート電極である。60はシリコン基板51に設けた溝である。容量絶縁膜の図示は省略している。

【0004】まず、図8(a)に示すようにシリコン基板1上に SiO_2 膜52および SiN 膜53を形成した後、コンタクト窓60を開口する。つぎに、図8(b)に示すように電荷蓄積電極用の多結晶シリコン膜54および SiO_2 膜55を形成した後、 SiO_2 膜55をパターンニングする。その後、図8(c)に示すように SiO_2 膜55のパターンをマスクに多結晶シリコン膜54の一部をエッチングする。つぎに、CVD・ SiO_2 膜56を被着した後、図8(d)のようにエッチバックして側壁にのみCVD・ SiO_2 膜56を残存させる。その後、電荷蓄積電極用の多結晶シリコン膜57を被着し、この後図8(e)に示すように、エッチバックして SiN 膜53を露出させる。その後、図8(f)に示すように、 SiO_2 膜55およびCVD・ SiO_2 膜56を除去して電荷蓄積電極58が形成される。その後、電荷蓄積電極58の表面に容量絶縁膜を形成し、この後プレート電極59を被着する。

【0005】

【発明が解決しようとする課題】上記のような構成では、図8(c)で示した多結晶シリコン膜54のエッチングにおいて、薄い多結晶シリコン膜54を残存させてエッチングを止める必要があるが、このエッチングの制御は極めて困難である。すなわち、終点判定装置が使用できないために、完全に時間で制御する他なくエッチングレートのばらつきを厳密に管理しなければならないので、プロセスマージンがきわめて狭いプロセスと言える。

【0006】また図8に示すように、多結晶シリコン膜57は、被着後全面エッチバックによりパターンニングするため、上部に鋭角部分61が形成される(図8(f)参照)。このような鋭角部分61を有するために、容量絶縁膜のリーク電流が、多結晶シリコン膜57からなる環状部分を持たない通常の電荷蓄積電極と比べて増加して信頼性の面で劣ってしまうという問題点を有していた。

【0007】図9(a)、(b)に図8の従来例および通常の電荷蓄積電極の容量絶縁膜リーク電流特性を示す。 X_1 、 X_2 は図8の従来例の特性をであり、 Y_1 、 Y_2 は環状部をもたない通常の電荷蓄積電極の特性である。また、従来例ではコンタクト窓60の形成方法については触れていないが、微細化、高集積化が進むにつれて、プロセスマージンを確保するためにフォトリソ工程の解像限界以下の微細なコンタクトパターンを形成する必要がある。

6

【0008】したがって、この発明の目的は、容量絶縁膜のリーク電流を低減し、容量絶縁膜の信頼性を向上させることができる半導体記憶装置を得ることができ、電荷蓄積電極用の多結晶シリコン膜のエッチングの終点の制御を容易にして、きわめて安定に半導体記憶装置を得ることができる半導体記憶装置の製造方法を提供し、さらにフォトリソ工程の解像限界以下の微細なコンタクト窓を容易に形成することができる半導体記憶装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】また、請求項1の半導体記憶装置の製造方法は、まず半導体基板(1)上に層間絶縁膜(4)、窒化珪素膜(6)および電荷蓄積電極(16)用の第1の多結晶シリコン膜(7)を順に被着する。つぎに、層間絶縁膜(4)、窒化珪素膜(6)および第1の多結晶シリコン膜(7)に半導体基板(1)へ至るコンタクト窓(11)を開口する。つぎに、第1の多結晶シリコン膜(7)上およびコンタクト窓(11)内に電荷蓄積電極(16)用の第2の多結晶シリコン膜(12)および第1の酸化珪素膜(13)を順に被着した後、第1の酸化珪素膜(13)をコンタクト窓(11)の直上部およびその周辺部を残した状態にパターンニングする。つぎに、第2の多結晶シリコン膜(12)および残った第1の酸化珪素膜(13)の上に電荷蓄積電極(16)用の第3の多結晶シリコン膜(14)および第2の酸化珪素膜(15)を被着する。つぎに、第2の酸化珪素膜(15)を全面エッチバックして第1の酸化珪素膜(13)の外周部にのみ第2の酸化珪素膜(15)を残した後、第1および第2の酸化珪素膜(13、15)をマスクとして第3、第2および第1の多結晶シリコン膜(14、12、7)を、第1および第2の酸化珪素膜(13、15)の間に存在した第3の多結晶シリコン膜(14)下の第1の多結晶シリコン膜(7)の一部を残存させて窒化珪素膜(6)が露出するまでエッチングを行う。つぎに、第1および第2の酸化珪素膜(13、15)を選択的に除去する。つぎに、第1、第2および第3の多結晶シリコン膜(7、12、14)上に容量絶縁膜(17)を形成する。つぎに、容量絶縁膜(17)上にプレート電極(18)用の第4の多結晶シリコン膜を形成する。

【0010】請求項2記載の半導体記憶装置の製造方法は、請求項1の半導体記憶装置の製造方法において、第2の多結晶シリコン膜(12)をコンタクト窓(11)の半径よりも薄く形成する。請求項3記載の半導体記憶装置の製造方法は、まず半導体基板(1)上に層間絶縁膜(4)、窒化珪素膜(6)、電荷蓄積電極(16)用の第1の多結晶シリコン膜(7)および第1の酸化珪素膜(8)を被着する。つぎに、第1の酸化珪素膜(8)上にマスクパターン(9)を形成し、コンタクト窓(11)形成領域およびその周辺領域の第1の酸化珪素膜

7

(8)をエッチングして除去する。つぎに、マスクパターン(9)を除去した後残った第1の酸化珪素膜(8)上および第1の多結晶シリコン膜(7)上に第2の多結晶シリコン膜(21)を被着し、この後全面をエッチバックして第1の酸化珪素膜(8)の側壁に被着した第2の多結晶シリコン膜(21)の下第1の多結晶シリコン膜(7)の全部が残存しかつ窒化珪素膜(6)が露出するまでエッチングする。つぎに、残存する第1の多結晶シリコン膜(7)をマスクにして第1の酸化珪素膜(8)、窒化珪素膜(6)および層間絶縁膜(4)をエッチングして半導体基板(1)へ至るコンタクト窓(11)を開口する。つぎに、残存する第1の多結晶シリコン膜(7)上およびコンタクト窓(11)内に電荷蓄積電極(16)用の第3の多結晶シリコン膜(12)および第2の酸化珪素膜(13)を順に被着した後、第2の酸化珪素膜(13)をコンタクト窓(11)の直上部およびその周辺部を残した状態にパターニングする。つぎに、第3の多結晶シリコン膜(12)および残った第2の酸化珪素膜(13)の上に電荷蓄積電極(16)用の第4の多結晶シリコン膜(14)および第3の酸化珪素膜(15)を被着する。つぎに、第3の酸化珪素膜(15)を全面エッチバックして第2の酸化珪素膜(13)の外周部にのみ第3の酸化珪素膜(15)を残した後、第2および第3の酸化珪素膜(13, 15)をマスクとして第4、第3および第1の多結晶シリコン膜(14, 12, 7)を、第2および第3の酸化珪素膜(13, 15)の間に存在した第4の多結晶シリコン膜(14)下の第1の多結晶シリコン膜(7)の一部を残存させて窒化珪素膜(6)が露出するまでエッチングを行う。つぎに、第2および第3の酸化珪素膜(13, 15)を選択的に除去する。つぎに、第1、第3および第4の多結晶シリコン膜(7, 12, 14)上に容量絶縁膜(17)を形成する。つぎに、容量絶縁膜(17)上にプレート電極(18)用の第5の多結晶シリコン膜を形成する。

【0011】請求項4記載の半導体記憶装置の製造方法は、請求項3記載の半導体記憶装置の製造方法において、第3の多結晶シリコン膜(12)をコンタクト窓(11)の半径よりも薄く形成する。請求項5記載の半導体記憶装置の製造方法は、まず半導体基板(1)上に層間絶縁膜(4)、窒化珪素膜(6)、電荷蓄積電極(16)用の第1の多結晶シリコン膜(7)および第1の酸化珪素膜(8)を被着する。つぎに、第1の酸化珪素膜(8)上にマスクパターン(9)を形成し、コンタクト窓(11)形成領域およびその周辺領域の第1の酸化珪素膜(8)をエッチングして除去する。つぎに、マスクパターン(9)を除去した後残った第1の酸化珪素膜(8)上および第1の多結晶シリコン膜(7)上に第2の多結晶シリコン膜(21)を被着し、この後全面をエッチバックして第1の酸化珪素膜(8)の側壁に被着した第2の多結晶シリコン膜(21)の下第1の多結

8

晶シリコン膜(7)の一部が残存しかつ窒化珪素膜(6)が露出するまでエッチングする。つぎに、残存する第1の多結晶シリコン膜(7)をマスクにして第1の酸化珪素膜(8)、窒化珪素膜(6)および層間絶縁膜(4)をエッチングして半導体基板(1)へ至るコンタクト窓(11)を開口する。つぎに、残存する第1の多結晶シリコン膜(7)上およびコンタクト窓(11)内に電荷蓄積電極(16)用の第3の多結晶シリコン膜(12)および第2の酸化珪素膜(13)を順に被着した後、第2の酸化珪素膜(13)をコンタクト窓(11)の直上部およびその周辺部を残した状態にパターニングする。つぎに、第3の多結晶シリコン膜(12)および残った第2の酸化珪素膜(13)の上に電荷蓄積電極(16)用の第4の多結晶シリコン膜(14)および第3の酸化珪素膜(15)を被着する。つぎに、第3の酸化珪素膜(15)を全面エッチバックして第2の酸化珪素膜(13)の外周部にのみ第3の酸化珪素膜(15)を残した後、第2および第3の酸化珪素膜(13, 15)をマスクとして第4、第3および第1の多結晶シリコン膜(14, 12, 7)を、第2および第3の酸化珪素膜(13, 15)の間に存在した第4の多結晶シリコン膜(14)下の第1の多結晶シリコン膜(7)の一部を残存させて窒化珪素膜(6)が露出するまでエッチングを行う。つぎに、第2および第3の酸化珪素膜(13, 15)を選択的に除去する。つぎに、第1、第3および第4の多結晶シリコン膜(7, 12, 14)上に容量絶縁膜(17)を形成する。つぎに、容量絶縁膜(17)上にプレート電極(18)用の第5の多結晶シリコン膜を形成する。

【0012】請求項6記載の半導体記憶装置の製造方法は、請求項5記載の半導体記憶装置の製造方法において、第3の多結晶シリコン膜(12)をコンタクト窓(11)の半径よりも薄く形成する。請求項7の半導体記憶装置の製造方法は、まず半導体基板(1)上に層間絶縁膜(4)、窒化珪素膜(6)、電荷蓄積電極(16)用の第1の多結晶シリコン膜(7)および第1の多結晶シリコン膜(7)より厚い第1の酸化珪素膜(8)を被着する。つぎに、第1の酸化珪素膜(8)上にマスクパターン(9)を形成し、コンタクト窓(11)形成領域およびその周辺領域の第1の酸化珪素膜(8)をエッチングして除去する。つぎに、マスクパターン(9)を除去した後残った第1の酸化珪素膜(8)上および第1の多結晶シリコン膜(7)上に第2の多結晶シリコン膜(21)を被着し、この後全面をエッチバックして第1の酸化珪素膜(8)の側壁に被着した第2の多結晶シリコン膜(21)の一部が残存しかつ窒化珪素膜(6)が露出するまでエッチングする。つぎに、残存する第1および第2の多結晶シリコン膜(7, 21)をマスクにして第1の酸化珪素膜(8)、窒化珪素膜(6)および層間絶縁膜(4)をエッチングして半導体基板(1)へ

至るコンタクト窓(11)を開口する。つぎに、残存する第1および第2の多結晶シリコン膜(7, 21)上およびコンタクト窓(11)内に電荷蓄積電極(16)用の第3の多結晶シリコン膜(12)および第2の酸化珪素膜(13)を順に被着した後、第2の酸化珪素膜(13)をコンタクト窓(11)の直上部およびその周辺部を残した状態にパターニングする。つぎに、第3の多結晶シリコン膜(12)および残った第2の酸化珪素膜(13)の上に電荷蓄積電極(16)用の第4の多結晶シリコン膜(14)および第3の酸化珪素膜(15)を被着する。つぎに、第3の酸化珪素膜(15)を全面エッチバックして第2の酸化珪素膜(13)の外周部にのみ第3の酸化珪素膜(15)を残した後、第2および第3の酸化珪素膜(13, 15)をマスクとして第4, 第3および第1の多結晶シリコン膜(14, 12, 7)を、第2および第3の酸化珪素膜(13, 15)の間に存在した第4の多結晶シリコン膜(14)下の第1の多結晶シリコン膜(7)の一部を残存させて酸化珪素膜(6)が露出するまでエッチングを行う。つぎに、第2および第3の酸化珪素膜(13, 15)を選択的に除去する。つぎに、第1, 第2, 第3および第4の多結晶シリコン膜(7, 21, 12, 14)上に容量絶縁膜(17)を形成する。つぎに、容量絶縁膜(17)上にプレート電極(18)用の第5の多結晶シリコン膜を形成する。

【0013】請求項8記載の半導体記憶装置の製造方法は、請求項7記載の半導体記憶装置の製造方法において、第3の多結晶シリコン膜(12)をコンタクト窓(11)の半径よりも薄く形成する。

【0014】

【作用】この発明の構成によれば、多結晶シリコン膜のエッチングの終点は、酸化珪素膜が露出することにより容易に判定できるため、第1の多結晶シリコン膜を残存させる膜厚は判定される終点からのオーバーエッチングの設定と、第1の酸化珪素膜の膜厚によって容易に制御できる。

【0015】また、この多結晶シリコンのエッチングは、第1および第2の酸化珪素膜をマスクに行うため、その上部に鋭角部分が形成されることはなく、鋭角部分を持たない電荷蓄積電極の形成が可能となる。特に、請求項3以降の構成によれば、コンタクト形成に関し、第2の多結晶シリコン膜を残存させても、あるいは全てエッチングしても、第2の多結晶シリコン膜厚分だけコンタクトパターンは縮小され、フォトリソ工程の解像限界以下のコンタクト窓の自己整合的な開口が可能となるばかりか、第1の酸化珪素膜は、層間絶縁膜のエッチング時に同時にエッチングされ、第1および第2の多結晶シリコン膜は電荷蓄積電極として使用するため無駄な工程の増加はなしに容易に半導体記憶装置の製造を実現することとなる。

【0016】

【実施例】以下、この発明の実施例について、図面を参照しながら説明する。

(第1の実施例) 図1はこの発明の第1の実施例における半導体記憶装置の製造方法の工程断面図を示すものである。以下、図1を用いて製造方法を説明する。

【0017】まず、図1(a)に示すように、p型シリコン基板(半導体基板)1上にワード線2, n⁺拡散層3, ビット線5, 層間絶縁膜4を形成した上に、酸化珪素膜6を30nmの厚さに、多結晶シリコン膜7を350nmの厚さに、酸化珪素膜として高温CVD酸化珪素膜(以下、HTO膜と記す)8を400nmの厚さに堆積した後、コンタクト窓形成のための直径0.5μmのレジストパターン9を形成する。

【0018】つぎに、レジストパターンをマスクにHTO膜8をエッチングしてレジストパターン9を除去した後、図1(b)に示すように酸化珪素膜としてHTO膜10を100nmの厚さに被着し、全面エッチバックして図1(c)のようにHTO膜10はHTO膜8の側壁部分だけに残す。このHTO膜8, 10をマスクとして多結晶シリコン膜7をエッチングした後、全面エッチバックにより、HTO膜8, 10, 酸化珪素膜6および層間絶縁膜4をエッチングして図1(d)のように直径0.3μmの電荷蓄積電極用のコンタクト窓11を開口する。この時、多結晶シリコン膜7がエッチングストッパーとなって自己整合的にコンタクト窓11の開口が可能となる。

【0019】つぎに、図1(e)に示すように、多結晶シリコン膜12を150nmの厚さ(コンタクト窓11の半径より厚い)に、酸化珪素膜としてHTO膜13を400nmの厚さに被着し、このHTO膜13をパターニングした後、さらに多結晶シリコン膜14を50nmの厚さに、酸化珪素膜としてHTO膜15を50nmの厚さに被着する。その後、HTO膜15を全面エッチバックして図1(f)のように側壁にのみHTO膜15を残存させる。

【0020】つぎに、HTO膜13およびHTO膜15をマスクとして多結晶シリコン膜7, 12, 14の全面エッチバックを行った後、HTO膜13, 15を除去し、図1(g)のように電荷蓄積電極16を形成する。なお、上記多結晶シリコン膜7, 12, 14のエッチングは、酸化珪素膜6の露出する時点で終点を判定し、それまでのエッチング時間の40%のオーバーエッチングを施すことにより、HTO膜13, 15の間に存在した多結晶シリコン膜14下の多結晶シリコン膜7を100nmの厚さだけ残存させて容易に止めることができる。その後、図1(h)のように容量絶縁膜17および多結晶シリコン膜からなるプレート電極18を形成してメモリセルを形成する。

【0021】このようにこの実施例によれば、HTO膜

11

13, 15をエッチングマスクとして多結晶シリコン膜7, 12, 14をエッチングするため、その上部はほぼ直角となり、鋭角部分が形成されない。また、多結晶シリコン膜7, 12, 14のエッチング終点を容易に判定できるため、多結晶シリコン膜7, 12, 14の残し膜厚を容易に制御可能である。

【0022】図7に、通常のプロック型の電荷蓄積電極とこの実施例で示したブロック内周に沿って溝が形成された電荷蓄積電極との蓄積容量の計算値を比較結果を示す。図7において、直線 Z_1 , Z_2 は実施例の構造における高さHと蓄積容量との関係を示し、直線 Z_2 は従来例の構造における高さHと蓄積容量との関係を示している。A, B, Cは実施例の構造の各部の寸法である。直線 Z_1 は寸法A, B, Cがそれぞれ0.05 μm , 0.05 μm , 0.10 μm のときの関係を示し、直線 Z_2 は寸法A, B, Cがそれぞれ0.05 μm , 0.05 μm , 0.20 μm のときの関係を示している。従来例の構造では、ブロックの幅Wが1.55 μm で奥行きDが0.6 μm である。

【0023】なお、容量絶縁膜は酸化珪素膜換算5nmで計算している。通常のプロック型に比べて、この発明の電荷蓄積電極では2倍以上の蓄積電荷が得られるため、同じセル面積でも従来型より寸法Hを低くでき、後の配線形成工程への負担を低減できる。

(第2の実施例) 図2はこの発明の第2の実施例における半導体記憶装置の製造方法の工程断面図を示すものである。以下、図2を用いて製造方法を説明する。

【0024】まず、図2(a)に示すように、p型シリコン基板1上にワード線2, n^+ 拡散層3, ビット線5および層間絶縁膜4を形成した上に、窒化珪素膜6を30nmの厚さに、多結晶シリコン膜7を450nmの厚さに、酸化珪素膜として高温CVD酸化珪素膜(HTO膜)8を540nmの厚さに堆積した後、コンタクト窓形成のための直径0.5 μm のレジストパターン9を形成する。

【0025】つぎに、レジストパターンをマスクにHTO膜8をエッチングしてレジストパターン9を除去した後、図2(b)に示すように多結晶シリコン膜21を100nmの厚さに被着し、全面エッチバックして図2(c)のように窒化珪素膜6を露出させる。この時、窒化珪素膜6が露出した時点をエッチングの終点と判定し、それまでのエッチング時間の20%のオーバーエッチングを施すことにより多結晶シリコン膜21は完全に除去される。

【0026】つぎに、全面エッチバックによりHTO膜8, 窒化珪素膜6および層間絶縁膜4をエッチングして図2(d)のように直径0.3nmの電荷蓄積電極用のコンタクト窓11を開口する。この時、多結晶シリコン膜7がエッチングストッパーとなって自己整合的にコンタクト窓11の開口が可能となる。つぎに、図2(e)に

12

示すように、多結晶シリコン膜12を50nmの厚さ(コンタクト窓の半径より薄い)に、酸化珪素膜としてHTO膜13を400nmの厚さに被着し、このHTO膜13をパターニングした後、さらに多結晶シリコン膜14を50nmの厚さに、酸化珪素膜としてHTO膜15を50nmの厚さに被着する。その後、HTO膜15を全面エッチバックして図2(f)のようにHTO膜13の側壁にのみHTO膜15を残存させる。

【0027】つぎに、HTO膜13およびHTO膜15をマスクとして多結晶シリコン膜7, 12, 14の全面エッチバックを行った後、HTO膜13, 15を除去し、図2(g)のように電荷蓄積電極16を形成する。なお、上記多結晶シリコン膜7, 12, 14のエッチングは、窒化珪素膜6の露出する時点で終点を判定し、それまでのエッチング時間の40%のオーバーエッチングを施すことにより、HTO膜13, 15の間に存在した多結晶シリコン膜14下の多結晶シリコン膜7を100nmの厚さに残存させて容易に止めることができる。

【0028】その後、図2(h)のように容量絶縁膜17および多結晶シリコン膜からなるプレート電極18を形成してメモリーセルを形成する。このようにこの実施例によれば、HTO膜13, 15をエッチングマスクとして多結晶シリコン膜7, 12, 14をエッチングするためその上部はほぼ直角となり、鋭角部分が形成されない。また、多結晶シリコン膜のエッチング終点を容易に判定できるため、多結晶シリコン膜の残し膜厚を容易に制御可能である。さらに、コンタクト窓内部に凹部が形成されて、この部分も電荷蓄積電極として有効であるために、第1の実施例よりさらに蓄積容量は増加させることができる。

【0029】(第3の実施例) 図3はこの発明の第3の実施例における半導体記憶装置の製造方法の工程断面図を示すものである。以下、図3を用いて製造方法を説明する。まず、図3(a)に示すように、p型シリコン基板1上にワード線2, n^+ 拡散層3, ビット線5, 層間絶縁膜4を形成した上に、窒化珪素膜6を30nmの厚さに、多結晶シリコン膜7を450nmの厚さに、酸化珪素膜として高温CVD酸化珪素膜(HTO膜)8を400nmの厚さに堆積した後、コンタクト窓形成のための直径0.5 μm のレジストパターン9を形成する。

【0030】つぎに、レジストパターン9をマスクにHTO膜8をエッチングしてレジストパターン9を除去した後、図3(b)に示すように多結晶シリコン膜21を100nmの厚さに被着し、全面エッチバックして図3(c)のように窒化珪素膜6を露出させる。この時、窒化珪素膜6が露出した時点をエッチングの終点と判定し、それまでのエッチング時間の60%のオーバーエッチングを施すことにより第1のHTO膜8の側壁の多結晶シリコン膜21下の多結晶シリコン膜7が180nmの厚さだけ残存した状態にエッチングされる。

【0031】つぎに、全面エッチバックによりHTO膜8、窒化珪素膜6および層間絶縁膜4をエッチングして図3(d)のように直径0.3nmの電荷蓄積電極用のコンタクト窓11を開口する。この時、多結晶シリコン膜7がエッチングストッパーとなって自己整合的にコンタクト窓11の開口が可能となる。つぎに、図3(e)に示すように、多結晶シリコン膜12を50nmの厚さ(コンタクト窓の半径より薄い)、酸化珪素膜としてHTO膜13を400nmの厚さに被着し、このHTO膜13をパターニングした後、さらに多結晶シリコン膜14を50nmの厚さに、酸化珪素膜としてHTO膜15を50nmの厚さに被着する。その後、HTO膜15を全面エッチバックしてHTO膜13の側壁にのみ第4のHTO膜15を残存させる。

【0032】つぎに、HTO膜13およびHTO膜15をマスクとして多結晶シリコン膜7、12、14の全面エッチバックを行った後、HTO膜13、15を除去し、図3(f)のように電荷蓄積電極16を形成する。なお、上記多結晶シリコン膜7、12、14のエッチングは、窒化珪素膜6の露出する時点で終点を判定し、それまでのエッチング時間の40%のオーバーエッチングを施すことにより、HTO膜13、15の間に存在した多結晶シリコン膜14下の多結晶シリコン膜7を100nm厚さだけ残存させて容易に止めることができる。その後、図3(g)のように、容量絶縁膜17および多結晶シリコン膜からなるプレート電極18を形成してメモリーセルを形成する。

【0033】このようにこの実施例によれば、HTO膜13、15をエッチングマスクとして多結晶シリコン膜7、12、14をエッチングするため、その上部はほぼ直角となり、鋭角部分が形成されない。また、多結晶シリコン膜7、12、14のエッチング終点を容易に判定できるため、多結晶シリコン膜7、12、14の残し膜厚を容易に制御可能である。さらに、コンタクト窓11の内部に凹部が形成される上に、コンタクト窓11の上部が広がっているため、第2の実施例よりさらに電荷蓄積電極の表面積は大きくなり、蓄積容量をさらに増加させることができる。

【0034】(第4の実施例)図4はこの発明の第4の実施例における半導体記憶装置の製造方法の工程断面図を示すものである。以下、図4を用いて製造方法を説明する。まず、第3の実施例と同様に(図3(a)～(d)参照)、電荷蓄積電極用のコンタクト窓11を開口した後、図4(a)に示すように多結晶シリコン膜12を150nmの厚さ(コンタクト窓11の半径より厚い)に、酸化珪素膜としてHTO膜13を400nmの厚さに被着し、このHTO膜13をパターニングした後、さらに多結晶シリコン膜14を50nmの厚さに、酸化珪素膜としてHTO膜15を50nmの厚さに被着し、その後、HTO膜15を全面エッチバックしてHTO

膜13の側壁にのみHTO膜15を残存させる。

【0035】つぎに、HTO膜13およびHTO膜15をマスクとして多結晶シリコン膜7、12、14の全面エッチバックを行った後、HTO膜13、15を除去し、図4(b)のように電荷蓄積電極16を形成する。なお、上記多結晶シリコン膜7、12、14のエッチングは、窒化珪素膜6の露出する時点で終点を判定し、それまでのエッチング時間の17%のオーバーエッチングを施すことにより、HTO膜13、15の間に存在した多結晶シリコン膜14下の多結晶シリコン膜7を100nmの厚さだけ残存させて容易に止めることができる。その後、図4(c)のように容量絶縁膜17および多結晶シリコン膜からなるプレート電極18を形成してメモリーセルを形成する。

【0036】このようにこの実施例によれば、HTO膜13、15をエッチングマスクとして多結晶シリコン膜7、12、14をエッチングするため、その上部はほぼ直角となり、鋭角部分が形成されない。また、多結晶シリコン膜7、12、14のエッチング終点を容易に判定できるため、多結晶シリコン膜7、12、14の残し膜厚を容易に制御可能である。さらに、コンタクト部上部に凹部が形成されるため、第1の実施例より電荷蓄積電極の表面積は大きくなり、蓄積容量をさらに増加させることができる。

【0037】(第5の実施例)図5はこの発明の第5の実施例における半導体記憶装置の製造方法の工程断面図を示すものである。以下、図5を用いて製造方法を説明する。まず、図5(a)に示すように、p型シリコン基板1上にワード線2、n⁺拡散層3、ビット線5および層間絶縁膜4を形成した上に、窒化珪素膜6を30nmの厚さに、多結晶シリコン膜7を450nmの厚さに、酸化珪素膜として高温CVD酸化珪素膜(HTO膜)8を800nmの厚さに堆積した後、コンタクト窓形成のための直径0.5μmのレジストパターン9を形成し、このレジストパターン9をマスクにHTO膜8をエッチングしてレジストパターン9を除去した後、多結晶シリコン膜21を100nmの厚さに被着する。その後、全面エッチバックして図5(b)のように窒化珪素膜6を露出させる。この時、窒化珪素膜6が露出した時点をエッチングの終点と判定し、それまでのエッチング時間の20%のオーバーエッチングを施すことにより、HTO膜13の側壁の多結晶シリコン膜12が140nmの厚さだけ残存してエッチングされる。

【0038】つぎに、全面エッチバックにより第1のHTO膜8、窒化珪素膜6および層間絶縁膜4をエッチングして図5(c)のように直径0.3nmの電荷蓄積電極用のコンタクト窓11を開口する。この時、多結晶シリコン膜7および多結晶シリコン膜12がエッチングストッパーとなって自己整合的にコンタクト窓11の開口が可能となる。

【0039】つぎに、図5(d)に示すように、多結晶シリコン膜12を50nmの厚さ(コンタクト窓の半径より小さい)に、酸化珪素膜としてHTO膜13を400nmの厚さに被着し、このHTO膜13をパターンニングした後、さらに多結晶シリコン膜14を50nmの厚さに、酸化珪素膜としてHTO膜15を50nmの厚さに被着した後、HTO膜15を全面エッチバックしてHTO膜13の側壁にのみHTO膜15を残存させる。

【0040】つぎに、HTO膜13およびHTO膜15をマスクとして多結晶シリコン膜7、12、14の全面エッチバックを行った後、HTO膜13、15を除去し、図5(e)のように電荷蓄積電極16を形成する。なお、上記多結晶シリコン膜のエッチングは、窒化珪素膜6の露出する時点で終点を判定し、それまでのエッチング時間の40%のオーバーエッチングを施すことにより、HTO膜13、15の間に存在した多結晶シリコン膜14下の多結晶シリコン膜7を100nmの厚さだけ残存させて容易に止めることができる。その後、図5(f)のように容量絶縁膜17および多結晶シリコン膜からなるプレート電極18を形成してメモリーセルを形成する。

【0041】このようにこの実施例によれば、HTO膜13、15をエッチングマスクとして多結晶シリコン膜7、12、14をエッチングするため、その上部はほぼ直角となり、鋭角部分が形成されない。また、多結晶シリコン膜7、12、14のエッチング終点を容易に判定できるため、多結晶シリコン膜7、12、14の残し膜厚を容易に制御可能である。さらに、コンタクト窓上部に凸部が形成される上に、コンタクト窓内部にも溝部が形成されるため、第2の実施例よりさらに電荷蓄積電極の表面積は大きくなり、蓄積容量をさらに増加させることができる。

【0042】(第6の実施例)図6はこの発明の第6の実施例における半導体記憶装置の製造方法の工程断面図を示すものである。以下、図6を用いて製造方法を説明する。まず第5の実施例と同様に電荷蓄積電極コンタクト窓を開口した後(図5(a)~(c)参照)、図6(a)に示すように第3の多結晶シリコン膜12を150nmの厚さ(コンタクト窓11の半径より厚い)に、酸化珪素膜としてHTO膜13を400nmの厚さに被着し、このHTO膜13をパターンニングした後、さらに多結晶シリコン膜14を50nmの厚さに、酸化珪素膜としてHTO膜15を50nmの厚さに被着し、その後、HTO膜15を全面エッチバックしてHTO膜13の側壁にのみHTO膜15を残存させる。

【0043】つぎに、HTO膜13およびHTO膜15をマスクとして多結晶シリコン膜7、12、14の全面エッチバックを行った後、HTO膜13、15を除去し、図6(b)のように電荷蓄積電極16を形成する。なお、上記多結晶シリコン膜7、12、14のエッチ

グは、窒化珪素膜6の露出する時点で終点を判定し、それまでのエッチング時間の17%のオーバーエッチングを施すことにより、HTO膜13、15の間に存在した多結晶シリコン膜14の下の多結晶シリコン膜7を100nmの厚さだけ残存させて容易に止めることができる。その後、図6(c)のように、容量絶縁膜17および多結晶シリコン膜からなるプレート電極18を形成してメモリーセルを形成する。

【0044】このようにこの実施例によれば、HTO膜13、15をエッチングマスクとして多結晶シリコン膜7、12、14をエッチングするため、その上部はほぼ直角となり、鋭角部分が形成されない。また、多結晶シリコン膜7、12、14のエッチング終点を容易に判定できるため、多結晶シリコン膜7、12、14の残し膜厚を容易に制御可能である。さらに、コンタクト窓上部に凸部が形成されるため、第1の実施例より電荷蓄積電極の表面積は大きくなり、蓄積容量をさらに増加させることができる。

【0045】なお、第1の実施例において、電荷蓄積電極のコンタクト窓11の開口は、HTO膜10のサイドウォールを用いてパターンを縮小する工程を用いたが、第2の実施例で用いた多結晶シリコン膜21のサイドウォールでパターンを縮小する工程を用いてもよい。また、第2の実施例では、電荷蓄積電極のコンタクト窓11の開口は、多結晶シリコン膜21のサイドウォールでパターンを縮小する工程を用いたが、第1の実施例で用いたHTO膜10のサイドウォールを用いてパターンを縮小する工程を用いてもよい。

【0046】

【発明の効果】この発明の半導体記憶装置の製造方法によれば、半導体基板上の層間絶縁膜、窒化珪素膜および第1の多結晶シリコン膜に半導体基板へ至るコンタクト窓を開口し、第1の多結晶シリコン膜上およびコンタクト窓内に電荷蓄積電極用の第2の多結晶シリコン膜および第1の酸化珪素膜を順に被着した後、第1の酸化珪素膜をコンタクト窓の直上部およびその周辺部を残した状態にパターンニングし、第2の多結晶シリコン膜および残った第1の酸化珪素膜の上に電荷蓄積電極用の第3の多結晶シリコン膜および第2の酸化珪素膜を被着し、第2の酸化珪素膜を全面エッチバックして第1の酸化珪素膜の外周部にのみ第2の酸化珪素膜を残した後、第1および第2の酸化珪素膜をマスクとして第3、第2および第1の多結晶シリコン膜を、第1および第2の酸化珪素膜の間に存在した第3の多結晶シリコン膜下の第1の多結晶シリコン膜の一部を残存させて窒化珪素膜が露出するまでエッチングを行うので、窒化珪素膜の露出をエッチングの終了判定の基準とすることができ、多結晶シリコン膜のエッチングの終点の制御を容易にし、きわめて安定に所望の半導体記憶装置を製造することができる。

【0047】また、この発明の方法で得られる半導体記

憶装置は、電荷蓄積電極に鋭角部分を持たないため、電界集中による容量絶縁膜の信頼性低下を避けることができる。さらに、コンタクト窓形成に関しては、半導体基板上に層間絶縁膜、窒化珪素膜、電荷蓄積電極用の第1の多結晶シリコン膜および第1の酸化珪素膜を被着し、第1の酸化珪素膜上にマスクパターンを形成し、コンタクト窓形成領域およびその周辺領域の第1の酸化珪素膜をエッチングして除去し、マスクパターンを除去した後残った第1の酸化珪素膜上および第1の多結晶シリコン膜上に第2の多結晶シリコン膜を被着し、この後全面をエッチバックして第1の酸化珪素膜の側壁に被着した第2の多結晶シリコン膜の下第1の多結晶シリコン膜の一部または全部あるいは第2の多結晶シリコン膜の一部が残存しかつ窒化珪素膜が露出するまでエッチングし、残存する第1の多結晶シリコン膜をマスクにして第1の酸化珪素膜、窒化珪素膜および層間絶縁膜をエッチングして半導体基板へ至るコンタクト窓を開くので、電荷蓄積電極の一部を用いて自己整合的にコンタクト窓を容易に形成でき、フォトリソ工程の解像限界以下の微細なコンタクト窓を容易に形成することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例の半導体記憶装置の製造方法における工程断面図である。

【図2】この発明の第2の実施例の半導体記憶装置の製造方法における工程断面図である。

【図3】この発明の第3の実施例の半導体記憶装置の製造方法における工程断面図である。

【図4】この発明の第4の実施例の半導体記憶装置の製造方法における工程断面図である。

【図5】この発明の第5の実施例の半導体記憶装置の製

造方法における工程断面図である。

【図6】この発明の第6の実施例の半導体記憶装置の製造方法における工程断面図である。

【図7】この発明の第1の実施例における蓄積容量増加効果を示した特性図である。

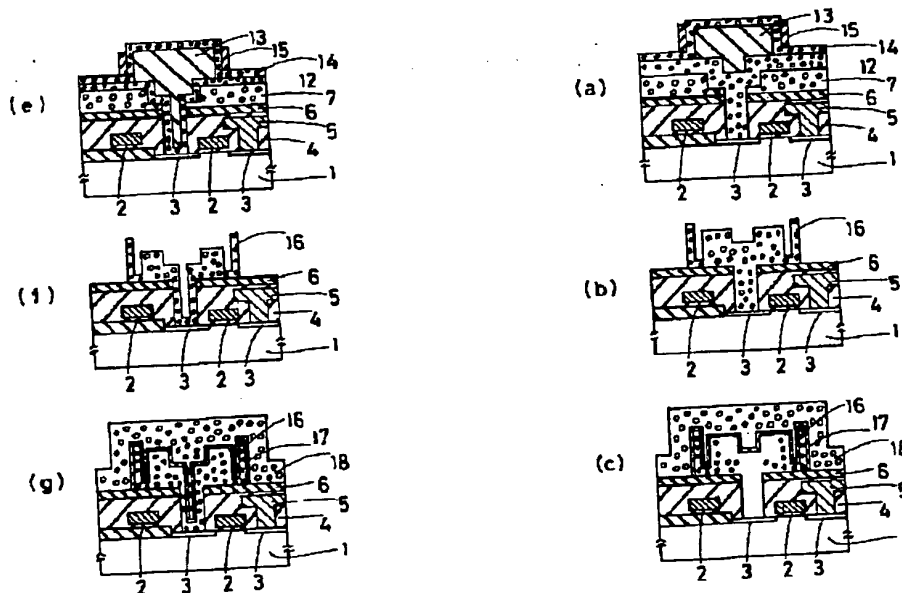
【図8】従来の半導体記憶装置の製造方法の一例の工程断面図である。

【図9】従来の半導体記憶装置の製造方法で作成した半導体記憶装置の一例の容量絶縁膜のリーク電流特性図である。

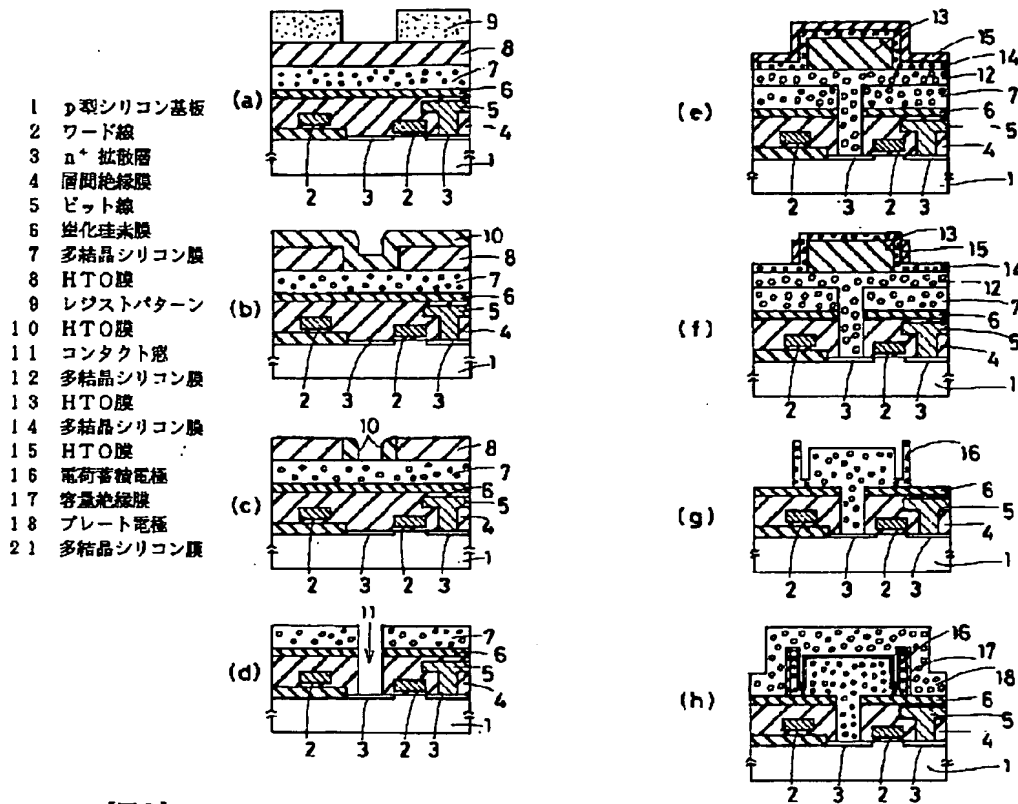
【符号の説明】

- | | |
|----|--------------------|
| 1 | p型シリコン基板 |
| 2 | ワード線 |
| 3 | n ⁺ 拡散層 |
| 4 | 層間絶縁膜 |
| 5 | ビット線 |
| 6 | 窒化珪素膜 |
| 7 | 多結晶シリコン膜 |
| 8 | HTO膜 |
| 9 | レジストパターン |
| 10 | HTO膜 |
| 11 | コンタクト窓 |
| 12 | 多結晶シリコン膜 |
| 13 | HTO膜 |
| 14 | 多結晶シリコン膜 |
| 15 | HTO膜 |
| 16 | 電荷蓄積電極 |
| 17 | 容量絶縁膜 |
| 18 | プレート電極 |
| 21 | 多結晶シリコン膜 |

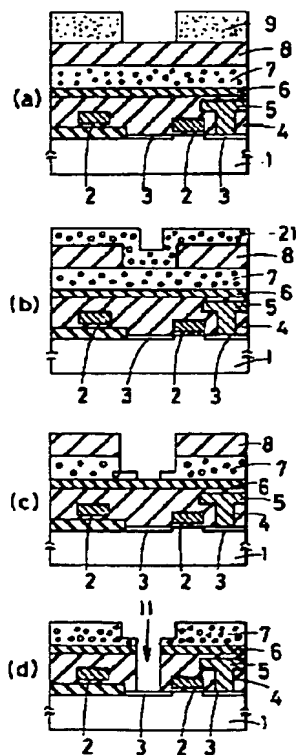
【図4】



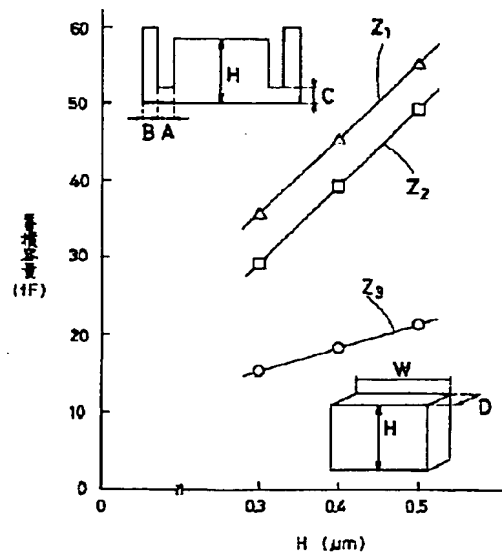
【図1】



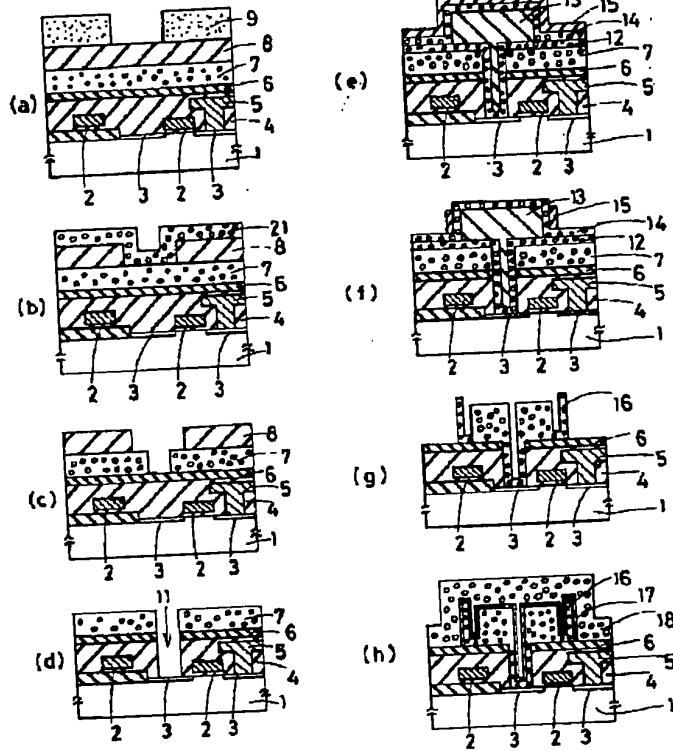
【図3】



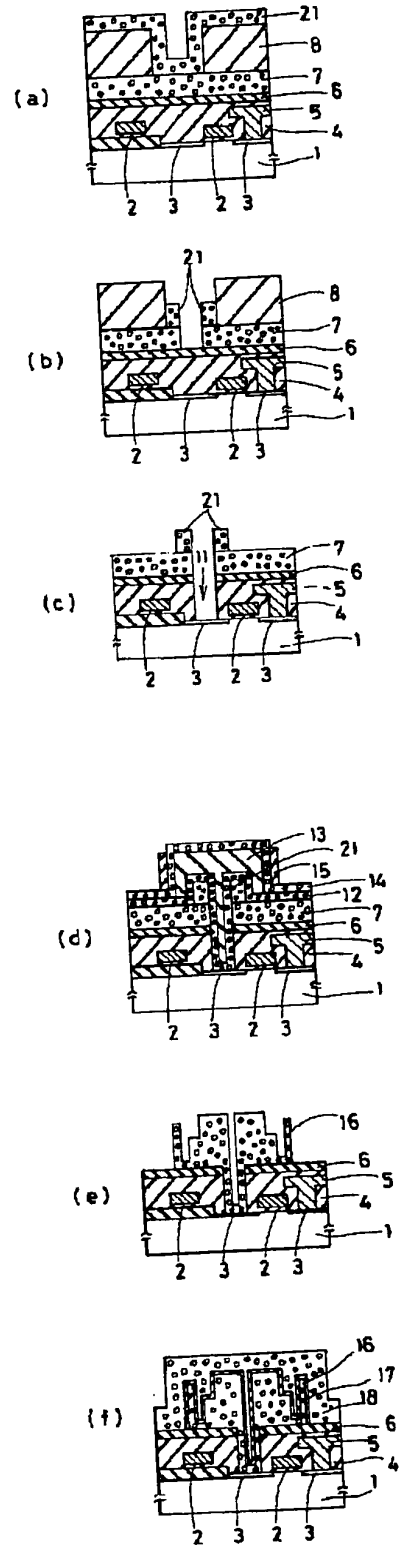
【図7】



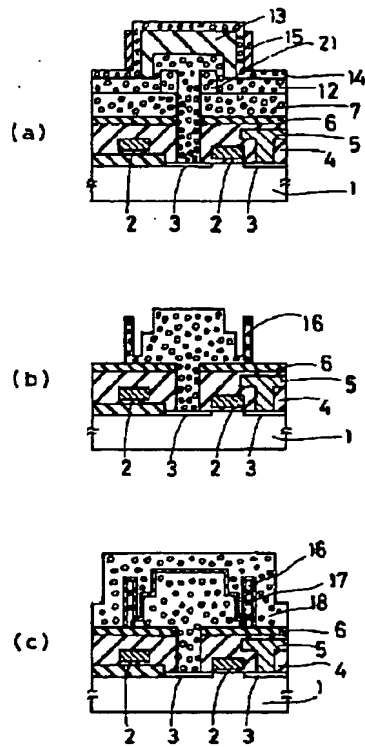
【図2】



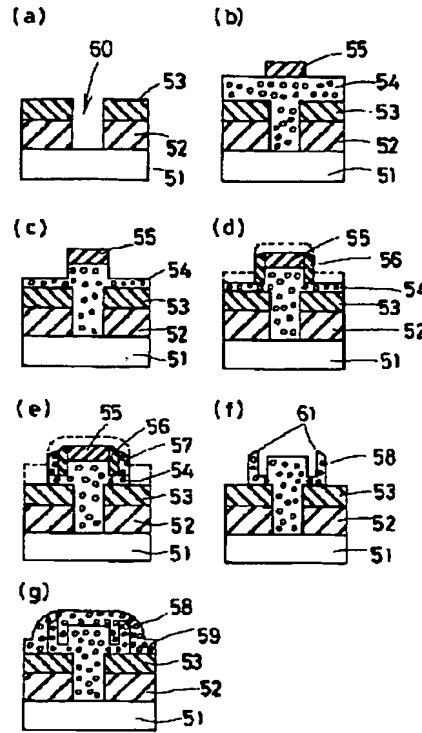
【図5】



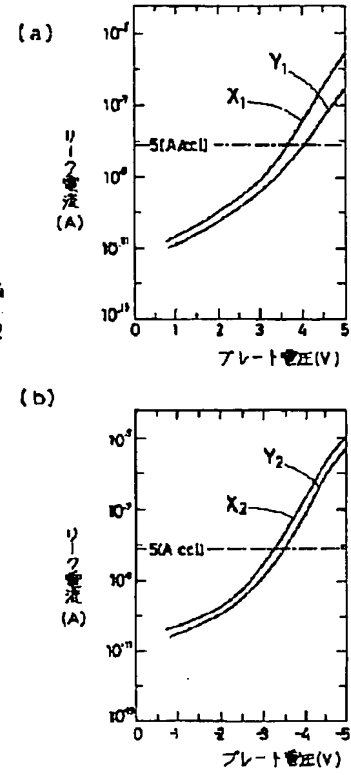
【図6】



【図8】



【図9】



THIS PAGE BLANK (USPTO)